CMSC611: Advanced Computer Architecture
Homework 4 Solutions

Question 1: (50 points)

a) (2,1) predictor:

B2 Execution	Local History	Prediction	Action	New Prediction State			
				NT, NT	NT, T	T, NT	T, T
1	NT, NT	NT	T	**T**	NT	NT	NT
2	NT, T	NT	T	T	**T**	NT	NT
3	T, T	NT	NT	T	T	NT	NT
4	T, NT	NT	T	T	T	**T**	NT
5	NT, T	T	NT	T	**NT**	T	NT
6	T, NT	T	NT	T	NT	**NT**	NT

B2 Execution	Global History	Prediction	Action	New Prediction State			
				NT, NT	NT, T	T, NT	T, T
1	NT, NT	NT	T	**T**	NT	NT	NT
2	T, NT	NT	T	T	NT	**T**	NT
3	T, T	NT	NT	T	NT	T	NT
4	T, NT	T	T	T	NT	T	NT
5	T, T	NT	NT	T	NT	T	NT
6	NT, NT	T	NT	**NT**	NT	T	NT

b) (2,2) predictor:

B2 Execution	Local History	Prediction	Action	New Prediction State			
				NT, NT	NT, T	T, NT	T, T
1	NT, NT	NT(01)	T	**T(10)**	NT(01)	NT(01)	NT(01)
2	NT, T	NT(01)	T	T(10)	**T(10)**	NT(01)	NT(01)
3	T, T	NT(01)	NT	T(10)	T(10)	NT(01)	**NT(00)**
4	T, NT	NT(01)	T	T(10)	T(10)	**T(10)**	NT(00)
5	NT, T	T(10)	NT	T(10)	**NT(01)**	T(10)	NT(00)
6	T, NT	T(10)	NT	T(10)	NT(01)	**NT(01)**	NT(00)

B2 Execution	Global History	Prediction	Action	New Prediction State			
				NT, NT	NT, T	T, NT	T, T
1	NT, NT	NT(01)	T	**T(10)**	NT(01)	NT(01)	NT(01)
2	T, NT	NT(01)	T	T(10)	NT(01)	**T(10)**	NT(01)
3	T, T	NT(01)	NT	T(10)	NT(01)	T(10)	**NT(00)**
4	T, NT	T(10)	T	T(10)	NT(01)	**T(11)**	NT(00)
5	T, T	NT(00)	NT	T(10)	NT(01)	T(11)	NT(00)
6	NT, NT	T(10)	NT	**NT(01)**	NT(01)	T(11)	NT(00)

Question 2: (50 points)

a) Direct-mapped cache with 16 one-word blocks

Memory Address	Cache				
	Tag	Index	Byte Offset	Data	Hit/Miss
4 0000 … 0000 0000 0000 0100	0000 … 0000 0000 00	0001	00	M(4)	Miss
16 0000 … 0000 0000 0001 0000	0000 … 0000 0000 00	0100	00	M(16)	Miss
32 0000 … 0000 0000 0010 0000	0000 … 0000 0000 00	1000	00	M(32)	Miss
4 0000 … 0000 0000 0000 0100	0000 … 0000 0000 00	0001	00	M(4)	**Hit**
20 0000 … 0000 0000 0001 0100	0000 … 0000 0000 00	0101	00	M(20)	Miss
80 0000 … 0000 0000 0101 0000	0000 … 0000 0000 01	0100	00	Replace M(16) with M(80)	Miss
68 0000 … 0000 0000 0100 0100	0000 … 0000 0000 01	0001	00	Replace M(4) with M(68)	Miss
76 0000 … 0000 0000 0100 1100	0000 … 0000 0000 01	0011	00	M(76)	Miss
224 0000 … 0000 0000 1110 0000	0000 … 0000 0000 11	1000	00	Replace M(32) with M(224)	Miss
36 0000 … 0000 0000 0010 0100	0000 … 0000 0000 00	1001	00	M(36)	Miss
44 0000 … 0000 0000 0010 1100	0000 … 0000 0000 00	1011	00	M(44)	Miss
16 0000 … 0000 0000 0001 0000	0000 … 0000 0000 00	0100	00	Replace M(80) with M(16)	Miss
172 0000 … 0000 0000 1010 1100	0000 … 0000 0000 10	1011	00	Replace M(44) with M(172)	Miss
20 0000 … 0000 0000 0001 0100	0000 … 0000 0000 00	0101	00	M(20)	**Hit**
24 0000 … 0000 0000 0001 1000	0000 … 0000 0000 00	0110	00	M(24)	Miss
36 0000 … 0000 0000 0010 0100	0000 … 0000 0000 00	1001	00	M(36)	**Hit**
68 0000 … 0000 0000 0100 0100	0000 … 0000 0000 01	0001	00	M(68)	**Hit**

b) Direct-mapped cache with 8 two-word blocks

Memory Address	Cache					
	Tag	Index	Word Offset	Byte Offset	Data	Hit/Miss
4 0000 … 0000 0000 0000 0100	0000 … 0000 0000 00	000	1	00	M(0) M(4)	Miss
16 0000 … 0000 0000 0001 0000	0000 … 0000 0000 00	010	0	00	M(16) M(20)	Miss
32 0000 … 0000 0000 0010 0000	0000 … 0000 0000 00	100	0	00	M(32) M(36)	Miss
4 0000 … 0000 0000 0000 0100	0000 … 0000 0000 00	000	1	00	M(0) M(4)	**Hit**
20 0000 … 0000 0000 0001 0100	0000 … 0000 0000 00	010	1	00	M(16) M(20)	**Hit**
80 0000 … 0000 0000 0101 0000	0000 … 0000 0000 01	010	0	00	Replace M(16) and M(20) with M(80) and M(84)	Miss
68 0000 … 0000 0000 0100 0100	0000 … 0000 0000 01	000	1	00	Replace M(0) and M(4) with M(64) and M(68)	Miss
76 0000 … 0000 0000 0100 1100	0000 … 0000 0000 01	001	1	00	M(72) M(76)	Miss
224 0000 … 0000 0000 1110 0000	0000 … 0000 0000 11	100	0	00	Replace M(32) and M(36) with M(224) and M(228)	Miss
36 0000 … 0000 0000 0010 0100	0000 … 0000 0000 00	100	1	00	Replace M(224) and M(228) with M(32) and M(36)	Miss
44 0000 … 0000 0000 0010 1100	0000 … 0000 0000 00	101	1	00	M(40) M(44)	Miss
16 0000 … 0000 0000 0001 0000	0000 … 0000 0000 00	010	0	00	Replace M(80) and M(84) with M(16) and M(20)	Miss
172 0000 … 0000 0000 1010 1100	0000 … 0000 0000 10	101	1	00	Replace M(40) and M(44) with M(168) and M(172)	Miss
20 0000 … 0000 0000 0001 0100	0000 … 0000 0000 00	010	1	00	M(16) M(20)	**Hit**
24 0000 … 0000 0000 0001 1000	0000 … 0000 0000 00	011	0	00	M(24) M(28)	Miss
36 0000 … 0000 0000 0010 0100	0000 … 0000 0000 00	100	1	00	M(32) M(36)	**Hit**
68 0000 … 0000 0000 0100 0100	0000 … 0000 0000 01	000	1	00	M(64) M(68)	**Hit**

c) Fully associative cache with 16 one-word blocks

Memory Address	Cache			
	Tag	Byte Offset	Data	Hit/Miss
4 0000 … 0000 0000 0000 0100	0000 … 0000 0000 0000 01	00	M(4)	Miss
16 0000 … 0000 0000 0001 0000	0000 … 0000 0000 0001 00	00	M(16)	Miss
32 0000 … 0000 0000 0010 0000	0000 … 0000 0000 0010 00	00	M(32)	Miss
4 0000 … 0000 0000 0000 0100	0000 … 0000 0000 0000 01	00	M(4)	**Hit**
20 0000 … 0000 0000 0001 0100	0000 … 0000 0000 0001 01	00	M(20)	Miss
80 0000 … 0000 0000 0101 0000	0000 … 0000 0000 0101 00	00	M(80)	Miss
68 0000 … 0000 0000 0100 0100	0000 … 0000 0000 0100 01	00	M(68)	Miss
76 0000 … 0000 0000 0100 1100	0000 … 0000 0000 0100 11	00	M(76)	Miss
224 0000 … 0000 0000 1110 0000	0000 … 0000 0000 1110 00	00	M(224)	Miss
36 0000 … 0000 0000 0010 0100	0000 … 0000 0000 0010 01	00	M(36)	Miss
44 0000 … 0000 0000 0010 1100	0000 … 0000 0000 0010 11	00	M(44)	Miss
16 0000 … 0000 0000 0001 0000	0000 … 0000 0000 0001 00	00	M(16)	**Hit**
172 0000 … 0000 0000 1010 1100	0000 … 0000 0000 1010 11	00	M(172)	Miss
20 0000 … 0000 0000 0001 0100	0000 … 0000 0000 0001 01	00	M(20)	**Hit**
24 0000 … 0000 0000 0001 1000	0000 … 0000 0000 0001 10	00	M(24)	Miss
36 0000 … 0000 0000 0010 0100	0000 … 0000 0000 0010 01	00	M(36)	**Hit**
68 0000 … 0000 0000 0100 0100	0000 … 0000 0000 0100 01	00	M(68)	**Hit**